

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PAT-NO: JP02001282139A

DOCUMENT-IDENTIFIER: JP 2001282139 A

TITLE: ACTIVE MATRIX SUBSTRATE AND METHOD FOR
MANUFACTURING THE
SAME AS WELL AS LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: October 12, 2001

INVENTOR-INFORMATION:

| NAME | COUNTRY |
|--------------------|---------|
| IZUMI, YOSHIHIRO | N/A |
| CHIKAMA, YOSHIMASA | N/A |
| OCHI, HISAO | N/A |

ASSIGNEE-INFORMATION:

| NAME | COUNTRY |
|------------|---------|
| SHARP CORP | N/A |

APPL-NO: JP2000307927

APPL-DATE: October 6, 2000

INT-CL (IPC): G09F009/30, G02F001/1343 , G02F001/1368 ,
H01L021/283
, H01L029/786 , H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To drastically shorten a manufacturing process for pixel electrodes.

SOLUTION: The pixel electrodes 22 may be formed by using a sol-gel material and applying this material by a spin coating method or dipping method without using a vacuum deposition device, by which the manufacturing process may be shortened. At this time, the pixel electrodes are formed prior to the formation of signal electrodes 23, signal wiring and TFTs 24, by which the impartation of thermal damage to the pixel electrodes is averted even if the heat resistance temperature of the electrode wiring and the TFTs 24 is about 350

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-282139

(P2001-282139A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

| (51) Int.Cl. | 識別記号 | F I | テマコード (参考) |
|--------------------------|----------------|----------------|--------------------------------------|
| G 0 9 F 9/30 | 3 3 8 3 3 0 | G 0 9 F 9/30 | 3 3 8 2 H 0 9 2 3 3 0 Z 4 M 1 0 4 |
| G 0 2 F 1/1343 1/1368 | | G 0 2 F 1/1343 | 5 C 0 9 4 |
| H 0 1 L 21/283 | | H 0 1 L 21/283 | A 5 F 1 1 0 |
| | | G 0 2 F 1/136 | 5 0 0 |

審査請求 未請求 請求項の数10 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2000-307927(P2000-307927)

(22) 出願日 平成12年10月6日 (2000. 10. 6)

(31) 優先権主張番号 特願2000-18750(P2000-18750)

(32) 優先日 平成12年1月27日 (2000. 1. 27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 和泉 良弘

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 近間 義雅

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100062144

弁理士 青山 稔 (外1名)

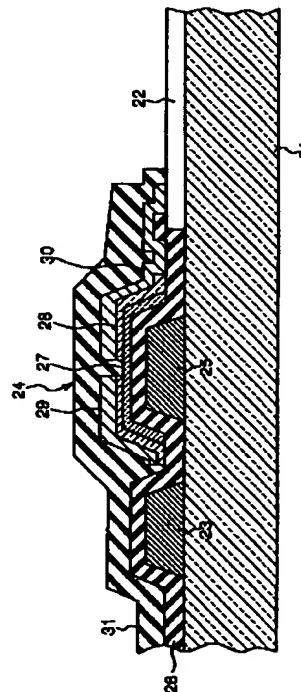
最終頁に続く

(54) 【発明の名称】 アクティブマトリックス基板およびその製造方法、並びに、液晶表示装置

(57) 【要約】

【課題】 画素電極の製造プロセスを大幅に短縮する。

【解決手段】 画素電極22は、ゾルゲル材料を用いてスピンコート法やディップ法で塗布することによって真空成膜装置を用いずに形成でき、製造プロセスを短縮できる。その際に、走査電極23、信号配線およびTFT 24の形成前に形成することによって、電極配線やTFT 24の耐熱温度が350℃程度であっても熱的ダメージを与えることはない。さらに、感光性を有するゾルゲル材料を用いることによって、パターニングの際に、フォトリソパターニング工程およびエッチング工程を無くしてプロセスを短縮できる。こうして、製造装置に拘わる設備投資を削減すると共に、アクティブマトリックス基板自身の低価格化も実現できる。



【特許請求の範囲】

【請求項1】 絶縁基板上に、格子状に配列された電極配線と、上記電極配線における各格子点毎に設けられた複数のアクティブ素子と、上記アクティブ素子を介して上記電極配線に接続された複数の画素電極を有するアクティブマトリックス基板において、
上記画素電極は、ゾルゲル材料を用いて成膜された透明導電酸化膜であることを特徴とするアクティブマトリックス基板。

【請求項2】 請求項1に記載のアクティブマトリックス基板において、
上記画素電極とアクティブマトリックス基板との間に、上記電極配線およびアクティブ素子の構成部材が存在しないことを特徴とするアクティブマトリックス基板。

【請求項3】 請求項1に記載のアクティブマトリックス基板において、
上記画素電極は、上記電極配線およびアクティブ素子が形成される工程より前の工程で成膜されていることを特徴とするアクティブマトリックス基板。

【請求項4】 請求項1に記載のアクティブマトリックス基板において、
上記画素電極は、上記電極配線およびアクティブ素子よりも高温で熱処理されていることを特徴とするアクティブマトリックス基板。

【請求項5】 請求項1乃至請求項4の何れか一つに記載のアクティブマトリックス基板において、
上記画素電極は、インジウム錫酸化物、錫酸化物、インジウム酸化物、亜鉛酸化物、ゲルマニウム酸化物およびチタン酸化物の何れか一つ、あるいは、これらの混合物を主成分とすることを特徴とするアクティブマトリックス基板。

【請求項6】 絶縁基板上に、格子状に配列された電極配線と、上記電極配線における各格子点毎に設けられた複数のアクティブ素子と、上記アクティブ素子を介して上記電極配線に接続された複数の画素電極を有するアクティブマトリックス基板の製造方法であって、
上記画素電極を、上記電極配線およびアクティブ素子を形成する工程より前の工程で、ゾルゲル材料を用いて形成することを特徴とするアクティブマトリックス基板の製造方法。

【請求項7】 絶縁基板上に、格子状に配列された電極配線と、上記電極配線における各格子点毎に設けられた複数のアクティブ素子と、上記アクティブ素子を介して上記電極配線に接続された複数の画素電極を有するアクティブマトリックス基板の製造方法であって、
上記画素電極を、感光性を有するゾルゲル材料を用いてパターン形成することを特徴とするアクティブマトリックス基板の製造方法。

【請求項8】 請求項7に記載のアクティブマトリックス基板の製造方法において、

上記ゾルゲル材料には、感光性を付与するためにキレート化剤が添加されていることを特徴とするアクティブマトリックス基板の製造方法。

【請求項9】 請求項7に記載のアクティブマトリックス基板の製造方法において、
上記ゾルゲル材料には、感光性を付与するために感光性樹脂が添加されていることを特徴とするアクティブマトリックス基板の製造方法。

【請求項10】 請求項1乃至請求項5の何れか一つに記載のアクティブマトリックス基板、あるいは、請求項6乃至請求項9の何れか一つに記載のアクティブマトリックス基板の製造方法によって製造されたアクティブマトリックス基板を用いたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置(LCD)、エレクトロクロミック表示装置(ECD)、エレクトロルミネッセント表示装置(ELD)等のフラットパネル型ディスプレイや、X線イメージセンサ、密着型イメージセンサ等のフラットパネル型イメージセンサに用いることが可能なアクティブマトリックス基板およびその製造方法、並びに、そのアクティブマトリックス基板を用いた液晶表示装置に関する。

【0002】

【従来の技術】LCDに代表されるフラットパネル型ディスプレイに使用されるアクティブマトリックス基板においては、絶縁基板上に電極配線(走査電極および信号電極)が格子状に配設されると共に、その交差部毎にアクティブ素子(例えば、薄膜トランジスタ(TFT))および画素電極が配設されている。

【0003】図4は、透過型LCDに用いるアクティブマトリックス基板の代表的な構造を示す縦断面図である。このアクティブマトリックス基板においては、通常、画素電極9はITO(インジウム錫酸化物)から成る透明導電膜によって構成されている。その場合、上記ITOはスパッタ等の真空成膜技術によって形成される。

【0004】尚、図4中、1はガラス基板、2は走査電極、3は走査電極2に接続されたゲート電極、4はゲート絶縁膜、5はチャネル層、6はコンタクト層、7はソース電極(信号電極)、8はドレイン電極、10は絶縁保護膜である。そして、ゲート電極3、ゲート絶縁膜4、チャネル層5、コンタクト層6、ソース電極7およびドレイン電極8で、TFT1を構成している。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来のアクティブマトリックス基板には、以下のような問題がある。すなわち、上述したように真空成膜技術によって形成された透明導電膜を画素電極9の形状にパター

ニングするためには、図5に示すように、①スパッタ成膜プロセスで成るITO成膜工程、②レジスト塗布、③アブレーション、④露光、⑤現像および⑥ポストベークの各プロセスで成るフォトリソパターニング工程、⑦エッチング、⑧レジスト剥離および⑨洗浄の各プロセスで成るエッチングおよびレジスト剥離工程を経る必要があり、①スパッタ成膜から⑨洗浄までの多くのプロセスが必要になる。

【0006】昨今、コンピュータ、携帯端末機器、テレビジョン等の多くの機器にLCDが使用されるようになってきており、今後益々フラットパネル型ディスプレイの需要が増すものと予測される。それに対処するためには、上記フラットパネル型ディスプレイに用いるアクティブマトリクス基板の低価格化を図って行く必要がある。

【0007】しかしながら、従来のアクティブマトリクス基板においては、上述したように、画素電極の形成に際しては、真空成膜技術によって形成した透明導電膜に対してパターニングを行っているため多くのプロセスが必要であり、上記アクティブマトリクス基板の低価格化の実現を妨げているのである。

【0008】そこで、この発明の目的は、画素電極の製造プロセスを大幅に短縮できるアクティブマトリクス基板およびその製造方法、並びに、液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、第1の発明は、絶縁基板上に、格子状に配列された電極配線と、上記電極配線における各格子点毎に設けられた複数のアクティブ素子と、上記アクティブ素子を介して上記電極配線に接続された複数の画素電極を有するアクティブマトリクス基板において、上記画素電極は、ゾルゲル材料を用いて成膜された透明導電酸化膜であることを特徴としている。

【0010】上記構成によれば、画素電極の材料として、基板にスピコート法やディップ法で塗布することができるゾルゲル材料を採用している。したがって、真空成膜装置を用いることなく透明画素電極を形成することができ、上記画素電極の製造プロセスが短縮される。

【0011】また、上記第1の発明のアクティブマトリクス基板は、上記画素電極とアクティブマトリクス基板との間に、上記電極配線およびアクティブ素子の構成部材が存在しないように構成することが望ましい。

【0012】また、上記第1の発明のアクティブマトリクス基板は、上記画素電極が、上記電極配線およびアクティブ素子が形成される工程より前の工程で成膜されていることが望ましい。

【0013】上記構成によれば、上記画素電極を形成する段階で、基板上に電極配線およびアクティブマトリクス素子の構成部材が存在しないため、これらの耐熱温

度を気にすることなく上記画素電極を形成することが可能になる。したがって、500℃程度の高温焼成が必要なゾルゲル材料から形成される透明電極酸化膜を画素電極の材料として容易に用いることができる。

【0014】一般に、上記ゾルゲル材料は、残留有機物を除去するために成膜時に500℃程度の高温焼成を必要とする。ところが、上記構成によれば、最初に上記画素電極が形成され、その後に上記電極配線およびアクティブ素子が形成される。したがって、上記電極配線やアクティブ素子の耐熱温度が300℃程度であっても、それらに熱的ダメージを与えることなくアクティブマトリクス基板が形成される。この場合、上記電極配線やアクティブ素子が最初に形成されると、上記ゾルゲル材料の高温焼成時に上記電極配線を構成する金属やアクティブ素子を構成するa-Si(アモルファスシリコン)等の半導体に変質してしまうという問題が発生するのである。

【0015】また、アクティブマトリクス基板の製造プロセス中に500℃程度の高温焼成を行うと、下地ガラス基板の膨張・収縮反応に伴ってサイズが若干変形することがある。このような高温プロセスがアクティブマトリクス基板の製造プロセス中に存在すると、その前後においてパターンの重ね合わせ精度が劣化するという問題が発生する。しかしながら、上述の構成の場合、画素電極を形成した後に電極配線やアクティブ素子の形成を行うので、例えば画素電極形成時に基板サイズが変形したとしても、この画素電極のパターンを基本にして、電極配線アクティブ素子のパターンを重ね合わせていくことによって、画素電極、電極配線およびアクティブ素子の重ね合わせ精度が劣化することはないのである。

【0016】また、上記第1の発明のアクティブマトリクス基板は、上記画素電極が、上記電極配線及びアクティブ素子よりも高温で熱処理されていることが望ましい。

【0017】上記構成によれば、上記ゾルゲル材料から形成される透明導電酸化膜が、上記電極配線やアクティブ素子の形成温度(通常約350℃が最高温度)より高い温度(約500℃)で熱処理されているので、ゾルゲル材料中の残留有機物を十分に分解・削除することができ、品質の高い透明導電酸化膜を得ることが可能になる。

【0018】また、上記第1の発明のアクティブマトリクス基板は、上記画素電極が、ITO、錫酸化物(SnO₂)、インジウム酸化物、亜鉛酸化物、ゲルマニウム酸化物およびチタン酸化物の何れか一つ、あるいは、これらの混合物を主成分としていることが望ましい。

【0019】ITO、SnO₂、インジウム酸化物、亜鉛酸化物、ゲルマニウム酸化物およびチタン酸化物である金属酸化物は、上記ゾルゲル法によって形成することが容易であり、透明導電性を示すことから、上記画素電極の材料として適している。

【0020】特に、上記ITOやSnO₂は、上記アクティブマトリックス基板を構成する他の部材の加工プロセスに必要な薬液やガスに対して耐食性を持たせることが容易である。例えば、上記ITOやSnO₂は、HClやHBr等の一部の酸以外の薬液やガス(各金属材料および半導体材料のエッチング液やエッチングガス、フォトリソ、現像液、レジスト剥離液、基板の洗浄液等)に耐性を有する。上記構成によれば、上記ITO、SnO₂あるいはそれらにSbがドーパされたものを主材料としている。したがって、最初に上記画素電極を形成し、その後で上記電極配線やアクティブ素子を形成することが容易になる。さらに、上記ITOやSnO₂にSbをドーパすることで、透明導電酸化膜の低抵抗化を図ることも可能になる。

【0021】尚、上記SnO₂は、耐食性が強くパターニングが困難であるために、従来アクティブマトリックス基板の画素電極には使用されなかった。しかしながら、上述のように感光性を有するゾルゲル材料とすることによってパターニングが容易になり、画素電極への適用が可能になる。また、上記SnO₂は、可視光に対する透過率が上記ITOより優れているため、上記SnO₂を画素電極に用いることによって、透過率の優れたアクティブマトリックス基板が形成される。

【0022】また、第2の発明は、絶縁基板上に、格子状に配列された電極配線と、上記電極配線における各格子点毎に設けられた複数のアクティブ素子と、上記アクティブ素子を介して上記電極配線に接続された複数の画素電極を有するアクティブマトリックス基板の製造方法であって、上記画素電極を、上記電極配線およびアクティブ素子を形成する工程より前の工程で、ゾルゲル材料を用いて形成することを特徴としている。

【0023】上記構成によれば、上記第1の発明の場合と同様に、画素電極の材料としてスピンコート法やディップ法で塗布することができるゾルゲル材料を採用することによって真空成膜装置を用いる必要がなく、上記画素電極の製造プロセスが短縮される。さらに、上記画素電極が形成された後に上記電極配線およびアクティブ素子が形成されるので、上記電極配線やアクティブ素子の耐熱温度が300℃程度であっても、それらに熱的ダメージを与えることなくアクティブマトリックス基板が形成される。

【0024】また、第3の発明は、絶縁基板上に、格子状に配列された電極配線と、上記電極配線における各格子点毎に設けられた複数のアクティブ素子と、上記アクティブ素子を介して上記電極配線に接続された複数の画素電極を有するアクティブマトリックス基板の製造方法であって、上記画素電極を、感光性を有するゾルゲル材料を用いてパターン形成することを特徴としている。

【0025】上記構成によれば、上記画素電極の材料としてのゾルゲル材料は感光性を有している。したがっ

て、上記透明導電酸化膜を画素電極の形状にパターニングする際にフォトリソパターニング工程およびエッチング工程を必要とはせず、フォトリソを用いた従来のパターニングの場合よりも工程が短縮される。したがって、上記画素電極の製造プロセスが短縮される。

【0026】また、上記第3の発明のアクティブマトリックス基板の製造方法は、上記ゾルゲル材料に、感光性を付与するためにキレート化剤が添加されていることが望ましい。

【0027】キレート化剤で化学修飾された金属アルコキシドを用いて上記ゲル膜を形成すると、そのゲル膜は紫外線照射によって溶解度が大きく変化する。すなわち、紫外線が照射されたゲル膜はキレート結合が切断されて、アルカリ溶液やアルコールに不溶化する。上記構成によれば、上記画素電極の材料としてのゾルゲル材料にキレート化剤が添加されている。したがって、上記ゾルゲル材料に容易に感光性が付与される。

【0028】また、上記第3の発明のアクティブマトリックス基板の製造方法は、上記ゾルゲル材料には、感光性を付与するために感光性樹脂が添加されていることが望ましい。

【0029】上記構成によれば、上記画素電極の材料としてのゾルゲル材料に感光性樹脂が適度な割合でブレンドされることで、上記ゾルゲル材料に容易に感光性が付与される。例えば、ゾルゲル材料に光重合性を有するモノマーと重合開始材とをブレンドした材料の前駆膜に紫外線を照射すると、モノマーが重合して網目状の高分子ネットワークが形成され、その高分子ネットワークの隙間に上記ゾルゲル材料が存在した状態になる。したがって、その後、現像処理を行うことで紫外線が照射された重合部分の膜のみネガパターンとして残存し、未照射部のゾルゲル材料は未重合のモノマーと共に現像液に溶解されるのである。

【0030】また、第4の発明の液晶表示装置は、上記第1の発明のアクティブマトリックス基板、あるいは、上記第2の発明又は第3の発明のアクティブマトリックス基板の製造方法によって製造されたアクティブマトリックス基板を用いたことを特徴としている。

【0031】上記構成によれば、上記画素電極の製造プロセスが短縮されて低価格化が図られたアクティブマトリックス基板が用いられて、液晶表示装置の低価格化が実現される。

【0032】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。図1は、本実施の形態のアクティブマトリックス基板における縦断面図である。本実施の形態のアクティブマトリックス基板においては、絶縁基板としてのガラス基板21上に、画素電極22、格子状に配列された走査電極23および信号電極、電極配線の各交差部毎に設けられた複数のアクティブ素子とし

てのTFT24等が形成されている。ここで、画素電極22は、ガラス基板21上に、走査電極23および信号電極となる電極配線やTFT24に先立って形成されている。

【0033】尚、図1中、25は走査電極23に接続されたゲート電極、26はゲート絶縁膜、27はチャンネル層、28はコンタクト層、29は上記信号電極に接続されたソース電極、30はドレイン電極、31は絶縁保護膜である。そして、ゲート電極25、ゲート絶縁膜26、チャンネル層27、コンタクト層28、ソース電極29およびドレイン電極30で、TFT24を構成している。

【0034】上記断面構成を有するアクティブマトリクス基板は、以下のようにして形成される。

(画素電極22の形成) 上記画素電極22は、以下のようにして形成される。すなわち、先ず、ガラス基板(コーニング社製#1737)21の表面に、ITOまたはSnO₂等の透明導電酸化膜となる画素電極パターン(厚み約0.1μm)を形成する。その場合、上記透明導電酸化膜は、通常のスパッタ法等の真空成膜技術を用いず、以下に述べるようなゾルゲル法を用いて成膜する。

【0035】上記ゾルゲル法とは、金属の有機化合物あるいは無機化合物を溶液とし、溶液中で化合物の加水分解・重縮合反応を進ませてゾルをゲルとして固化し、ゲルの加熱によって酸化物固体を作成する方法である。図2に、一例として、金属アルコキシドを原料とするゾルゲル法によって薄膜を作成する手順を示す。出発原料としては、重縮合反応が可能な金属アルコキシドが適しているが、金属アルコキシドと一緒に用いられれば金属塩や金属アセチルアセトナート錯体等も使用できる。溶媒としては各種アルコールを使用するのが一般的である。金属アルコキシドを溶媒で希釈した(ステップS1)後、水を加えて加水分解・重縮合反応を行わせてゾルを形成する(ステップS2)。そしてゾルを基板に塗布してゲル膜を生成する(ステップS3)。塗布法としては、ディッピング法、スピンコーティング法、メニカスコーティング法等を用いる。その後、ゲル膜を乾燥し、残留有機物を除去するために500℃程度の熱処理を行なう(ステップS4)。こうして、酸化膜が成膜される。

【0036】上述のようなゾルゲル法を用いれば、上記ガラス基板21上にゾルゲル溶液を塗布して焼成するだけで簡単に透明導電酸化膜を形成することができるため、真空装置を用いずに成膜することができ、安価に成膜でき尚且つ大面積成膜にも容易に対処できるのである。

【0037】尚、上記ゾルゲル法によって成膜が可能な酸化膜の種類やその原理等の詳細については、「作花済夫“ゾル・ゲル法の科学”、アグネ承風社」等に詳しく記載されている。また、透明導電性酸化膜であるITOの成膜例については、「“ゾル・ゲル法によるITO薄膜の作製”、Journal of the Ceramic Society of Japan,

vol.102, No.2, pp.200-205, 1994」等で報告されている。

【0038】次に、上記ゾルゲル法によって成膜された透明導電酸化膜を、画素電極22の形状にパターニングする。パターニングの方法としては、フォトリソグラフィ等の技術によって上記透明導電酸化膜上に所定のパターンのレジストを形成し、ウェットエッチングやドライエッチングによって不要な透明導電酸化膜を除去する方法が一般的である。例えば、上記透明導電酸化膜としてITOを用いた場合のエッチングには、HBrや塩化第二鉄水溶液を用いることができる。

【0039】また、更に好ましいパターニング方法として、上記ゾルゲル法によって透明導電酸化膜を形成する際にゾルゲル材料自身に感光性を持たせて、レジストを用いずにパターニングする方法がある。例えば、アセチルアセトン(AcAc)やベンゾイルアセトン(BzAc)等のキレート剤で化学修飾された金属アルコキシドを用いてゲル膜を形成すると、そのゲル膜は紫外線照射によって溶解度が大きく変化する。すなわち、紫外線が照射されたゲル膜はキレート結合が切断されて、アルカリ溶液やアルコールに不溶化するのである。尚、上記キレート化剤としてAcAcやBzAc等のβ-ジケトン化合物を添加することでゾルゲル材料に感光性を付与する方法は、文献「“Effects of UV-Irradiation on the Formation of Oxide Thin Films from Chemically Modified Metal-Alkoxides”, Journal of Sol-Gel Science and Technology, 2, pp.581-585 (1994)」等に記載されている。

【0040】また、化学修飾されていないゾルゲル材料に、別途、感光性樹脂を添加して、ゾルゲル材料に感光性を持たせることも可能である。具体的には、透明導電酸化膜を形成するゾルゲル材料と感光性を有する樹脂とを適度な割合でブレンドすることで、ゾルゲル材料に感光性を付与することが可能になる。例えば、ゾルゲル材料に光重合性を有するモノマー(例えばアクリル系モノマー)と重合開始剤とをブレンドした材料の前駆膜に紫外線を照射すると、モノマーが重合して網目状の高分子(高分子ネットワーク)が形成され、その高分子ネットワークの隙間にゾルゲル材料が存在した状態になる。その後、現像処理を行うことによって紫外線が照射された重合部分の膜のみネガパターンとして残存し、未照射部は未重合のモノマーと共にゾルゲル材料も現像液に溶解するのである。最後に、500℃程度の焼成を行い、高分子ネットワークやゾルゲル材料中の残留有機物を除去する。尚、上記感光性樹脂としては、市販のネガ型フォトリソレジスト等を使用することもできる。

【0041】また、他のパターニング方法としては、感光性を有さない通常のゲル膜に対して選択的にエキシマレーザを照射して、ゲル膜を分解することによってパターニングすることも可能である。

【0042】図3は、上記感光性を持たせたゾルゲル材

10

20

30

40

50

料を用いて画素電極22を形成する際の手順を示す。①で、上述のようにして感光性を持たせたゾルゲル材料をディッピング法、スピンコーティング法あるいはメカスコーティング法等によってガラス基板21上に塗布して透明導電酸化膜を形成する。②でアリのベキングを行い、③で紫外線等の光を露光する。④で、現像処理を行ってネガパターンを残す。⑤で、500℃程度の温度で焼成を行う。

【0043】このように、上記感光性を持たせたゾルゲル材料を用いて画素電極22を形成することによって、
図5に示す製造プロセスから、レジスト塗布、ポストベーク、エッチング、レジスト剥離および洗浄の各プロセスを省略して短縮することが可能になる。したがって、真空装置を用いずに安価に成膜できることに加えて製造プロセスを短縮でき、製造装置に拘わる設備投資を削減すると共に、アクティブマトリックス基板自身の低価格化が実現可能になるのである。

【0044】(走査電極23の形成)上述のようにして画素電極22が形成されると、次に、画素電極22が形成されたガラス基板21上に、金属膜からなる走査電極23及び走査電極23に連なるゲート電極25を0.1μm〜0.5μmの厚みで形成する。すなわち、Ta, Al, Mo, Cr等をスパッタ法で成膜し、フォトリソグラフィ技術及びエッチング技術を用いて所定の形状にパターニングする。尚、走査電極23の形成工程中に積層構造体に掛る最高温度は、スパッタ成膜時における100℃〜250℃である。

【0045】(TFT24の形成)次に、得られた積層構造体上に、SiNxやSiO₂から成るゲート絶縁膜(厚み0.3μm〜0.4μm)26、a-Si(i(真性)層)から成るチャネル層(厚み0.03μm〜0.1μm)27、a-Si(n+層)から成るソース・ドレイン電極用のコンタクト層(厚み0.05μm〜0.15μm)28をプラズマCVD(化学蒸着)法で成膜し、フォトリソグラフィ技術およびエッチング技術を用いて所定の形状にパターニングする。尚、TFT24の形成工程中に積層構造体に掛る最高温度は、プラズマCVD成膜時における300℃〜350℃である。

【0046】(信号電極の形成)次に、得られた積層構造体上に、金属膜から成る信号電極(厚み0.1μm〜0.5μm)、TFT24のソース・ドレイン電極(厚み0.1μm〜0.5μm)29,30を形成する。すなわち、Ta, Al, Mo, Cr等をスパッタ法で成膜し、フォトリソグラフィ技術及びエッチング技術を用いて所定の形状にパターニングする。尚、信号電極の形成工程中に積層構造体に掛る最高温度は、スパッタ成膜時の100℃〜250℃である。

【0047】(絶縁保護膜31の形成)次に、得られた積層構造体上にSiNxやSiO₂から成る絶縁保護膜31をプラズマCVD法で成膜し、フォトリソグラフィ技術

およびエッチング技術を用いて所定の形状にパターニングする。尚、絶縁保護膜31の形成工程中に積層構造体に掛る最高温度は、プラズマCVD成膜時の300℃〜350℃である。

【0048】以上の各工程によって、本実施の形態におけるアクティブマトリックス基板が完成する。本アクティブマトリックス基板は、画素電極22が、ゾルゲル材料から成膜された透明導電酸化膜であると共に、走査電極23,信号配線およびTFT24が形成される工程より前に形成されることが特徴である。

【0049】一般に、上記ゾルゲル材料は、基板にスピンコート法やディップ法で塗布することができる。したがって、ゾルゲル材料を採用することによって、真空成膜装置を必要とせずに透明な画素電極22を形成することができ、画素電極22の製造プロセスを短縮することが可能になるのである。

【0050】また、一般に、上記ゾルゲル材料は、残留有機物を除去するために成膜時に500℃程度の高温焼成を必要とする。そのために、仮にTFT24や電極配線を形成した後にゾルゲル法によって画素電極22を形成すると、以下のような問題が発生するのである。

【0051】すなわち、上記アクティブマトリックス基板の場合には、上記TFT24形成時に、プラズマCVD法を用いて300℃〜350℃の温度で水素を付加しながらa-Si膜を成膜している。したがって、得られたa-Si膜を後の工程でa-Siの成膜温度以上の高温に曝すと、水素の脱離が発生してa-Si膜の特性が変化してしまう。すなわち、TFT24の素子特性が劣化してしまうのである。また、金属膜からなる電極配線においては、500℃もの高温で焼成すると、金属膜の表面が酸化して電気特性が劣化するという問題が生じるのである。

【0052】しかしながら、本実施の形態においては、上記電極配線およびTFT24を形成する工程より前に画素電極22を形成している。したがって、電極配線やTFT24の耐熱温度が350℃程度であっても、上記電極配線およびTFT24に熱的ダメージを与えることなくアクティブマトリックス基板を形成することができるのである。

【0053】また、上記アクティブマトリックス基板は、上記画素電極22を構成する透明導電酸化膜を、感光性を有するゾルゲル材料を用いて形成することによって、パターニングの際に、フォトレジストを用いたエッチングを行う必要がない。したがって、フォトレジストを用いた従来のパターニングプロセス(図5参照)に比べて、図3に示すようにフォトレジストパターニング工程およびエッチング工程を無くしてプロセスを短縮することができる。したがって、製造装置に真空系を必要としないことに加えて製造プロセスを短縮でき、製造装置に拘わる設備投資を削減することができると共に、アクテ

10

20

30

40

50

ィブマトリックス基板自身の低価格化も実現できるのである。

【0054】さらに、上記実施の形態におけるアクティブマトリックス基板においては、ゾルゲル法によって形成される画素電極22の材料としてITOやSnO₂を使用している。これらの材料は、本アクティブマトリックス基板を構成する他の部材の加工プロセスに必要な薬液やガスに対して耐食性を有している。例えば、ITOやSnO₂は、HClやHBr等の一部の酸に対しては耐食性が弱い、それ以外の薬液やガス(各金属材料、半導体材料のエッチング液やエッチングガス、フォトリソ、現像液、レジスト剥離液、基板の洗浄液等)に耐性を有している。したがって、最初に画素電極22を形成し、その後で電極配線とTFT24を形成することが容易になる。また、ITOやSnO₂にSbをドーピングすることで、透明導電酸化膜の低抵抗化を図ることも可能になる。

【0055】特に、上記SnO₂は、耐食性が強くパターニングが困難であることから、従来はアクティブマトリックス基板の画素電極用には使用されなかった。しかしながら、上記実施の形態によれば、上述のように感光性を有するゾルゲル材料を用いることでパターニングが容易になるため、画素電極22への適用が可能になる。また、SnO₂は、可視光に対する透過率がITOよりも優れている。そのため、SnO₂を画素電極22に用いることで、透過率の優れた、つまり光利用効率の優れたアクティブマトリックス基板を形成することが可能になる。

【0056】尚、上記実施の形態におけるアクティブマトリックス基板は、アクティブマトリックス駆動型のフラットパネル型ディスプレイ全般や、その他フラットパネル形状を有する二次元画像検出器等に使用することができる。

【0057】特に、アクティブマトリックス駆動型LCDは、CRT(陰極線管)に比べて、表示装置の奥行きが小さい、消費電力が少なく、画面がフラットで画像の歪みが発生しない、地磁気の影響を受けない、200ppi(ピクセル/インチ)程度の高精細化が可能等の種種の特徴を生かし、ノートPC(パーソナルコンピュータ)、デスクトップPC、一般のTV(テレビジョン)、ハイビジョン(高品位)TV、カーナビゲーション等の分野で急速に市場を広げており、LCD自身の低価格化も強く求められている。このようなLCDの低価格化の要求に対し、上記アクティブマトリックス基板を用いてLCDを製造することで、LCDの低価格化が実現できるのである。

【0058】また、上述の実施の形態においては、上記画素電極の材料としてITOやSnO₂を用いて説明しているが、上記材料に限定されるものではなく、要は、ゾルゲル材料から形成可能な透明導電酸化膜であればよく、他にもインジウム酸化膜、亜鉛酸化膜、ゲルマニウム酸化膜およびチタン酸化膜等や、それらの混合物を用いても差し支えない。

【0059】

【発明の効果】以上より明らかなように、第1の発明は、絶縁基板上に、格子状に配列された電極配線と、上記電極配線における各格子点毎に設けられた複数のアクティブ素子と、上記アクティブ素子を介して上記電極配線に接続された複数の画素電極を有するアクティブマトリックス基板において、上記画素電極は、ゾルゲル材料を用いて成膜された透明導電酸化膜であることを特徴としている。

【0060】上記構成によれば、画素電極の材料として、基板にスピンコート法やディップ法で塗布することができるゾルゲル材料を採用している。したがって、真空成膜装置を用いることなく透明画素電極を形成することができ、上記画素電極の製造プロセスが短縮される。

【0061】また、上記第1の発明のアクティブマトリックス基板は、上記画素電極とアクティブマトリックス基板との間に、上記電極配線およびアクティブ素子の構成部材が存在しないように構成することが望ましい。

【0062】また、上記第1の発明のアクティブマトリックス基板は、上記画素電極が、上記電極配線およびアクティブ素子が形成される工程より前の工程で成膜されていることが望ましい。

【0063】上記構成によれば、上記画素電極を形成する段階で、基板上に電極配線およびアクティブマトリックス素子の構成部材が存在しないため、これらの耐熱温度を気にすることなく上記画素電極を形成することが可能になる。したがって、500℃程度の高温焼成が必要なゾルゲル材料から形成される透明導電酸化膜を画素電極の材料として容易に用いることができる。

【0064】また、上記第1の発明のアクティブマトリックス基板は、上記画素電極が、上記電極配線及びアクティブ素子よりも高温で熱処理されていることが望ましい。

【0065】上記構成によれば、上記ゾルゲル材料から形成される透明導電酸化膜が、上記電極配線やアクティブ素子の形成温度(通常約350℃が最高温度)より高い温度(約500℃)で熱処理されているので、ゾルゲル材料中の残留有機物を十分に分解・削除することができ、品質の高い透明導電酸化膜を得ることが可能になる。

【0066】また、上記第1の発明のアクティブマトリックス基板は、上記画素電極が、ITO、SnO₂、インジウム化合物、亜鉛化合物、ゲルマニウム化合物およびチタン化合物の何れか一つ、あるいは、これらの混合物を主成分としていることが望ましい。

【0067】ITO、SnO₂、インジウム化合物、亜鉛化合物、ゲルマニウム化合物およびチタン化合物である金属化合物は、上記ゾルゲル法によって形成することが容易であり、透明導電性を示すことから、上記画素電極の材料として適している。

【0068】特に、上記ITOやSnO₂は、上記アクテ

ィブマトリックス基板を構成する他の部材の加工プロセスに必要な薬液やガスに対して耐食性を持たせることが容易である。例えば、上記ITOや SnO_2 は、 HCl や HBr 等の一部の酸以外の薬液やガス(各金属材料および半導体材料のエッチング液やエッチングガス、フォトリジスト、現像液、レジスト剥離液、基板の洗浄液等)に耐性を有する。上記構成によれば、上記ITO、 SnO_2 あるいはそれらにSbがドーパされたものを主材料としている。したがって、最初に上記画素電極を形成し、その後で上記電極配線やアクティブ素子を形成することが容易になる。さらに、上記ITOや SnO_2 にSbをドーパすることで、透明導電酸化膜の低抵抗化を図ることも可能になる。

【0069】また、第2の発明は、絶縁基板上に、格子状に配列された電極配線と、上記電極配線における各格子点毎に設けられた複数のアクティブ素子と、上記アクティブ素子を介して上記電極配線に接続された複数の画素電極を有するアクティブマトリックス基板の製造方法であって、上記画素電極を、上記電極配線およびアクティブ素子を形成する工程より前の工程で、ゾルゲル材料を用いて形成することを特徴としている。

【0070】上記構成によれば、上記第1の発明の場合と同様に、画素電極の材料としてスピンコート法やディップ法で塗布することができるゾルゲル材料を採用することによって真空成膜装置を用いる必要がなく、上記画素電極の製造プロセスが短縮される。さらに、上記画素電極が形成された後に上記電極配線およびアクティブ素子が形成されるので、上記電極配線やアクティブ素子の耐熱温度が300℃程度であっても、それらに熱的ダメージを与えることなくアクティブマトリックス基板が形成される。

【0071】また、第3の発明は、絶縁基板上に、格子状に配列された電極配線と、上記電極配線における各格子点毎に設けられた複数のアクティブ素子と、上記アクティブ素子を介して上記電極配線に接続された複数の画素電極を有するアクティブマトリックス基板の製造方法であって、上記画素電極を、感光性を有するゾルゲル材料を用いてパターン形成することを特徴としている。

【0072】上記構成によれば、上記画素電極の材料としてのゾルゲル材料は感光性を有している。したがって、上記透明導電酸化膜を画素電極の形状にパターンニングする際にフォトリジストパターンニング工程およびエッチング工程を必要とせず、フォトリジストを用いた従来のパターンニングの場合よりも工程が短縮される。したがって、上記画素電極の製造プロセスが短縮される。

【0073】また、上記第3の発明のアクティブマトリックス基板の製造方法は、上記ゾルゲル材料に、感光性を付与するためにキレート化剤が添加されていることが望ましい。

【0074】キレート化剤で化学修飾された金属アルコ

キシドを用いて上記ゲル膜を形成すると、そのゲル膜は紫外線照射によって溶解度が大きく変化する。すなわち、紫外線が照射されたゲル膜はキレート結合が切断されて、アルカリ溶液やアルコールに不溶化する。上記構成によれば、上記画素電極の材料としてのゾルゲル材料にキレート化剤が添加されている。したがって、上記ゾルゲル材料に容易に感光性が付与される。

【0075】また、上記第3の発明のアクティブマトリックス基板の製造方法は、上記ゾルゲル材料には、感光性を付与するために感光性樹脂が添加されていることが望ましい。

【0076】上記構成によれば、上記画素電極の材料としてのゾルゲル材料に感光性樹脂が適度な割合でブレンドされることで、上記ゾルゲル材料に容易に感光性が付与される。例えば、ゾルゲル材料に光重合性を有するモノマーと重合開始材とをブレンドした材料の前駆膜に紫外線を照射すると、モノマーが重合して網目状の高分子ネットワークが形成され、その高分子ネットワークの隙間に上記ゾルゲル材料が存在した状態になる。したがって、その後、現像処理を行うことで紫外線が照射された重合部分の膜のみネガパターンとして残存し、未照射部のゾルゲル材料は未重合のモノマーと共に現像液に溶解されるのである。

【0077】また、第4の発明の液晶表示装置は、上記第1の発明のアクティブマトリックス基板、あるいは、上記第2の発明又は第3の発明のアクティブマトリックス基板の製造方法によって製造されたアクティブマトリックス基板を用いたことを特徴としている。

【0078】上記構成によれば、上記画素電極の製造プロセスが短縮されて低価格化が図られたアクティブマトリックス基板が用いられて、液晶表示装置の低価格化が実現される。

【図面の簡単な説明】

【図1】 この発明のアクティブマトリックス基板における断面図である。

【図2】 金属アルコキシドを原料としてゾルゲル法で薄膜を作成する手順を示す図である。

【図3】 感光性を有するゾルゲル材料を用いた画素電極の形成手順を示す図である。

【図4】 従来のアクティブマトリックス基板の断面図である。

【図5】 図4における画素電極のパターンニングプロセスを示す図である。

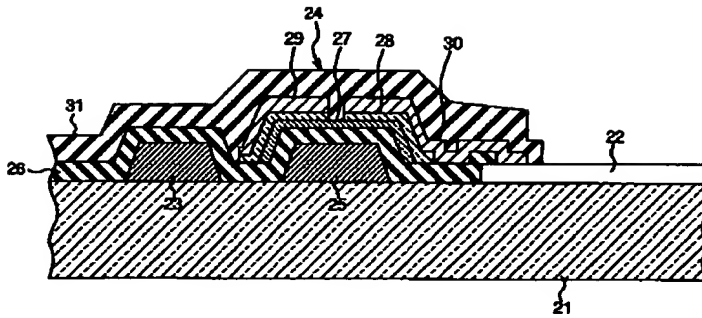
【符号の説明】

- 21…ガラス基板、
- 22…画素電極、
- 23…走査電極、
- 24…TFT、
- 25…ゲート電極、
- 26…ゲート絶縁膜、

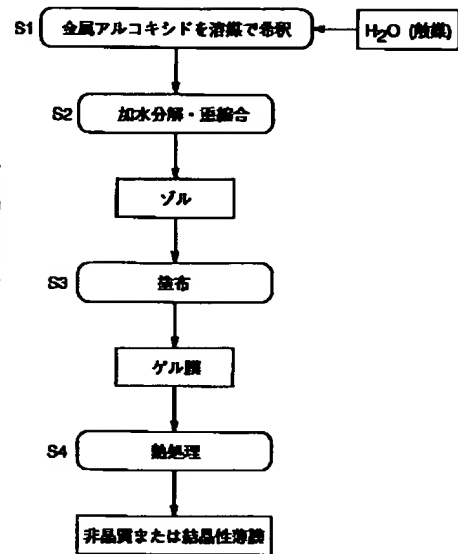
27…チャネル層、
28…コンタクト層、
29…ソース電極、

30…ドレイン電極、
31…絶縁保護膜。

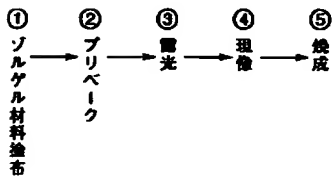
【図1】



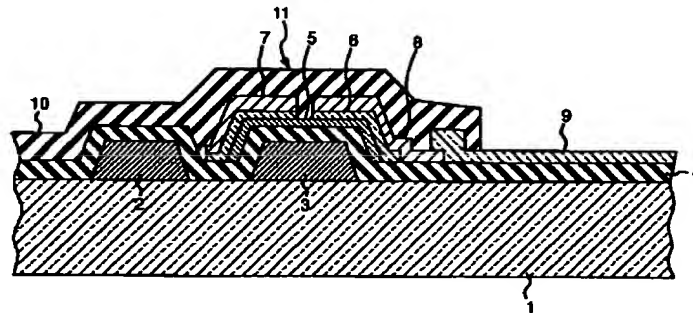
【図2】



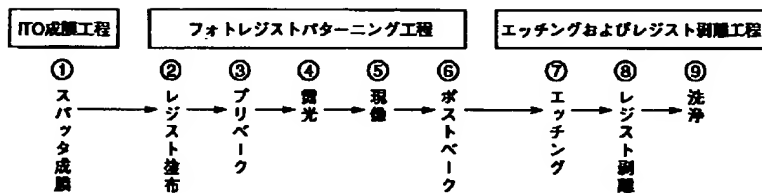
【図3】



【図4】



【図5】



フロントページの続き

| (51)Int.Cl. ⁷ | 識別記号 | F I | ターム(参考) |
|--------------------------|------|---------------|---------|
| H 0 1 L 29/786 21/336 | | H 0 1 L 29/78 | 6 1 2 Z |

(72)発明者 越智 久雄
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

F ターム(参考) 2H092 HA03 HA04 JA26 JA33 JA35
JA39 KA12 KA18 KB24 MA05
MA08 MA10 MA13 MA17 MA37
NA27
4M104 AA09 BB36 DD51 DD64 DD78
GG09
5C094 AA42 AA43 BA02 BA27 BA43
BA52 CA19 EA04 FB12 GB01
5F110 AA16 AA17 BB01 BB10 CC07
DD02 EE03 EE04 EE44 FF02
FF03 FF30 GG02 GG15 GG25
GG33 GG35 GG45 GG55 HK03
HK04 HK09 HK16 HK21 HK25
HK33 HK35 NN02 NN23 NN24
NN35 NN72 QQ09 QQ30